

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
12. Mai 2005 (12.05.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/043544 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: **G11C 7/24**,  
16/34

(21) Internationales Aktenzeichen: PCT/DE2004/002396

(22) Internationales Anmeldedatum:  
27. Oktober 2004 (27.10.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
103 50 168.1 28. Oktober 2003 (28.10.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-  
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KUND, Michael**  
[DE/DE]; Erlenweg 6, 83104 Tuntenhausen (DE).

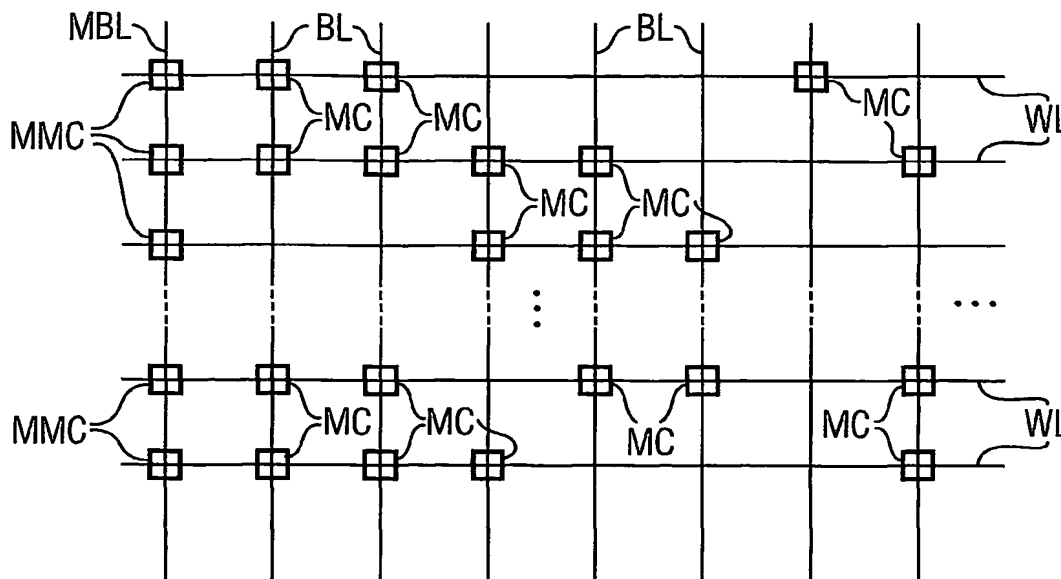
(74) Anwalt: **KOTTMANN, Dieter**; Müller Hoffmann & Part-  
ner, Innere Wiener Str. 17, 81667 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,  
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,  
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,  
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,  
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,  
ZW.

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY ASSEMBLY AND METHOD FOR OPERATING THE SAME

(54) Bezeichnung: SPEICHERANORDNUNG UND VERFAHREN ZUM BETREIBEN EINER SOLCHEN



(57) Abstract: The invention relates to a memory assembly, wherein rewritable memory cells (MC) are located at intersections of word lines (WL) with bit lines (BL). Said memory cells are adapted to allow for a read-out of the information stored therein in a substantially non-destructive manner. According to the invention, the memory assembly either comprises one tag cell (MMC) each per word line (WL) or per bit line (BL) in which information can be deposited that shows whether at least one of the memory cells (MC) either along the respective word line (WL) or along the respective bit line (BL) has been subjected to a read-out process since occurrence of a basic state.

[Fortsetzung auf der nächsten Seite]

WO 2005/043544 A1



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**Veröffentlicht:**

— mit internationalem Recherchenbericht

(57) **Zusammenfassung:** Bei der erfindungsgemäßen Speicheranordnung sind an Kreuzungen von Wortleitungen (WL) mit Bitleitungen (BL) wieder beschreibbare Speicherzellen (MC) angeordnet, die so ausgestaltet sind, dass ein Auslesen der in ihnen gespeicherten Informationen im Wesentlichen zerstörungsfrei erfolgt. Erfindungsgemäß weist die Speicheranordnung entweder je Wortleitung (WL) oder je Bitleitung (BL) eine Merkerzelle (MMC) auf, in der eine Information hinterlegbar ist, die anzeigt, ob wenigstens eine der Speicherzellen (MC) entweder entlang der jeweiligen Wortleitung (WL) oder entlang der jeweiligen Bitleitung (BL) seit Auftreten eines Grundzustands einem Lesevorgang unterzogen worden ist.